

中 華 民 國 專 利 公 報 (19)(12)

(31)公告編號：337036

(44)中華民國87年(1998)07月21日

(51)Int. Cl. 6: H01L21/60

發 明

全 4 頁

第 81103953 號  
初 審 (新 制) 引 証 附 件  
再 審

(54)名 稱：多晶片堆疊式包裝

(21)申 請 案 號：86113708

(22)申請日期：中華民國86年(1997)09月19日

(72)發 明 人：

彭發托

新竹縣竹東鎮三重一路一一一號二樓

(71)申 請 人：

宇慶科技股份有限公司

新竹科學工業園區研發二路十一號

(74)代 理 人：

1

2

[57]申請專利範圍：

1.一種多晶片堆疊式包裝，包含：

一個基材，作為包裝底材；

第一晶片，將電路端以焊錫球直接藕合至前述之基材上；以及

第二晶片，位於前述之第一晶片上方，且將電路端以打線方式藕合至前述之基材上。

2.如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指金屬腳架。

3.如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指印刷電路腳架。

4.如申請專利範圍第三項所述之一種多晶片堆疊式包裝，其中所述之印刷電路腳架，具有電路導通至前述之印刷電路基材的另外一面者。

5.如申請專利範圍第四項所述之一種多晶片堆疊式包裝，其中所述之印刷電路基材係指單面印刷電路且具有鍍通孔以將

電路延伸至另外一面者。

6.如申請專利範圍第四項所述之一種多晶片堆疊式包裝，其中所述之印刷電路基材係指多層印刷電路。

5. 7.如申請專利範圍第一項所述之一種多晶片堆疊式包裝，更包含一片導熱材料介於所述之第一晶片以及所述之第二晶片之間。

8.如申請專利範圍第七項所述之一種多晶片堆疊式包裝，其中所述之導熱材料係指金屬板。

9.如申請專利範圍第七項所述之一種多晶片堆疊式包裝，其中所述之導熱材料係指導電樹脂。

10. 10.如申請專利範圍第一項所述之一種多晶片堆疊式包裝，更包含膠體，用以封裝前述之基材上的元件於前述之基材上。

11.如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指

「球狀 開排」(Ball Grid Array, BGA)形式之包裝。

12.如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指「焊墊」(solder pad)形式之包裝。

13.如申請專利範圍第八項所述之一種多晶片堆疊式包裝，其中所述之金屬板，更具有支撐裝置者。

14.如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指四支支柱分別位於前述之金屬板的四角者。

15.如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指四支支柱均勻分佈於前述之金屬板的四邊者。

16.如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指兩個邊壁分別前述之金屬板的兩

邊者。

17.如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指三個邊壁分別前述之金屬板的三邊者。

18.如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指四個邊壁分別前述之金屬板的四邊者。

10. 圖式簡單說明：

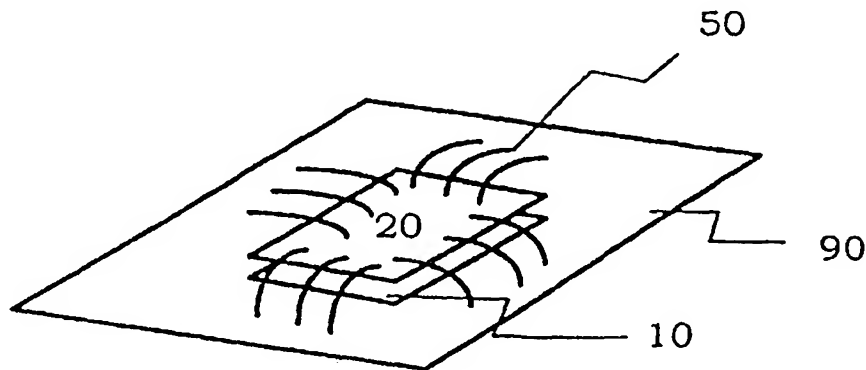
第一圖為本發明示意圖。

第二圖為本發明之電路連接示意圖。

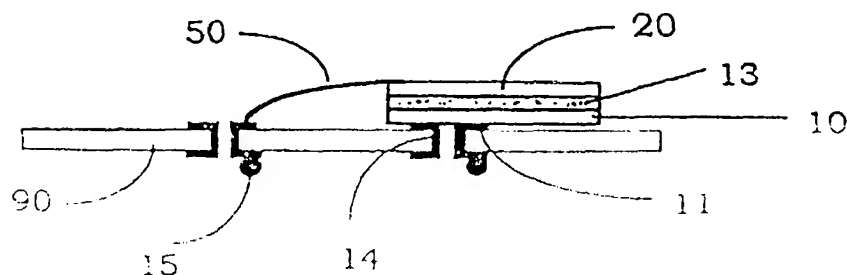
第三圖為兩晶片與中間的金屬板示意圖。

第四圖為兩晶片與中間的金屬板另一實施例。

第五圖 A-D 為兩晶片之間的金屬板不同實施例。

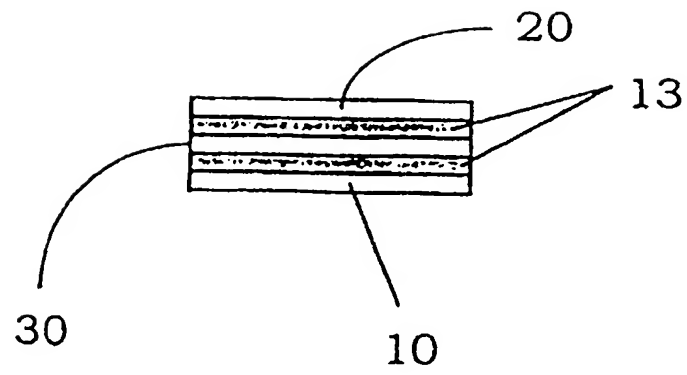


第一圖

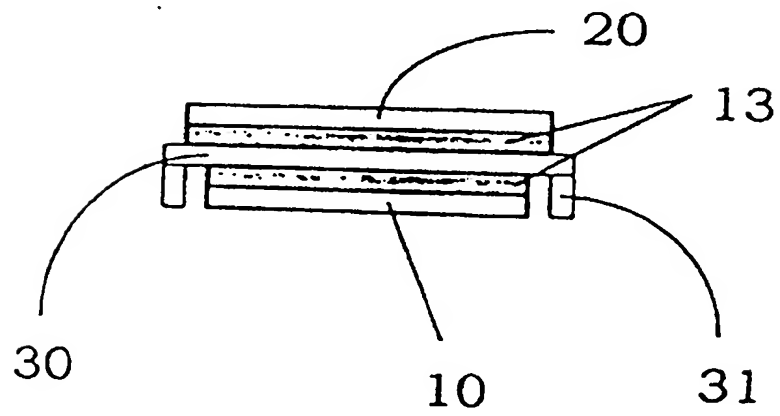


第二圖

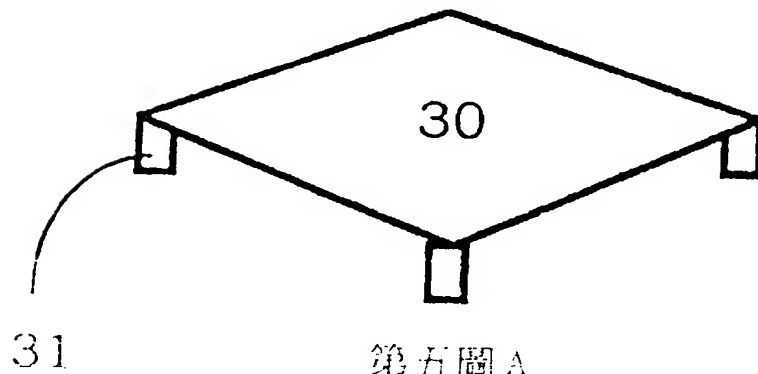
(3)



第三圖

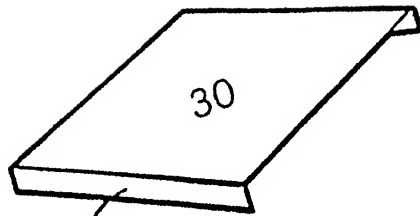


第四圖



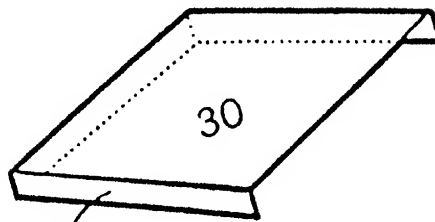
第五圖 A

(4)



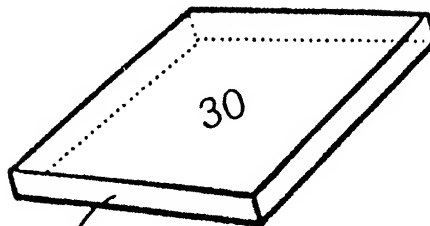
第五圖 B

32



第五圖 C

33



第五圖 D

34

337036

## 公告本

申請日期	86.9.19
案 號	86113708
類 別	H01C 21/60

A4  
C4

337036

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	多晶片堆疊式包裝
	英 文	
二、發明 創作人	姓 名	彭鑒托
	國 籍	中華民國
	住、居所	新竹縣竹東鎮三重一路111號二樓
三、申請人	姓 名 (名稱)	宇慶科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研發二路11號一樓
	代 表 人 姓 名	郭正忠

## 四、中文發明摘要(發明之名稱：多晶片堆疊式包裝)

## 1. 摘要

兩顆積體電路晶片上下堆疊安置於腳座基材上，下方晶片以電路端點直接以焊錫球藕合至基材上之對映電路端點，上方晶片的電路端點面向上，以打線方式藕合至基材上之對映電路端，如此，可以在增加有限的基材面積下，電路輸出入端引出的數量可以加倍。

## 英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( / )

## 多晶片堆疊式包裝

## 1. 摘要

兩顆積體電路晶片上下堆疊安置於腳座基材上，下方晶片以電路端點直接以焊錫球藕合至基材上之對映電路端點，上方晶片的電路端點面向上，以打線方式藕合至基材上之對映電路端，如此，可以在增加有限的基材面積下，電路輸出入端引出的數量可以加倍。

## 2. 背景說明

本發明是關於一種多晶片之包裝，由於積體電路技術的進步，元件體積愈來愈縮小，而功能確是愈來愈強大。整個積體電路的包裝也愈來愈小，目前多腳數的包裝要以球狀開排(Ball Grid Array, BGA)最為代表，它是以晶片的電路接點以焊錫球直接黏接到印刷電路基材的對映之電路接點上，前述之印刷電路基材也可以用傳統的「腳框」(lead frame)取代之。前述之印刷電路基材利用鍍通孔(Plated Through Hole, PTH)的技術將電路端點延伸到前述之印刷電路基材的另外一面，作為前述之積體電路晶片的延伸輸出端。

隨著半導體技術快速進步，積體電路晶片需求的電路端點愈來愈多，然而一個單一積體電路晶片由於面積的限制，不是輕易地可以增加電路端點。同時，積體電路晶片的電路端點一旦增加，對映的包裝基材，也必需考慮對映之電路佈局的問題。通常，採用多層印刷電路板基材以克服高電路輸出端的問題。

本發明可以在基材增加有限的面積下，增加積體電路包裝的電路輸出端數目達傳統包裝輸出端數目的一倍以上。習知的多晶片包裝是以兩顆晶片併排，然後加以包裝，其總面積相當於傳統單顆包裝的兩倍略小一點。本發明採用兩顆晶片上下堆疊式包裝，因此面積大小比傳統之單顆包裝略大一點點。增加的面積是提供多腳數包裝時，所需的對映電路之所在。本發明也可以用於低腳數的包裝，原理完全一樣。

## 3. 摘要說明

本發明以第一晶片藉著焊錫球直接藕合電路到基材上，並以第二晶片堆疊黏接在前述之第一晶片上，並以打線方式將電路藕合至基材上。前述之兩片晶片之間更可以包含有一片導電金屬，作為散熱用，同時將此導電金屬接至同一電源供應端，則可以隔絕「電磁干擾」(Electro-Magnetic Interference, EMI)，也同時可以隔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

絕訊號間的「交錯干擾」(cross talk)...等效應。

本發明的目的之一是提高積體電路單一包裝之電路輸出端數目；本發明的目的之二是提供一種多晶片包裝技術；本發明的目的之三是提供隔絕「電磁干擾」、隔絕訊號的「交錯干擾」的一種多晶片包裝。

#### 4. 圖式

圖一為本發明示意圖。

圖二為本發明之電路連接示意圖。

圖三為兩晶片與中間的金屬板示意圖。

圖四為兩晶片與中間的金屬板另一實施例。

圖五 A-D 為兩晶片之間的金屬板不同實施例。

#### 5. 本發明之詳細說明

參見圖一，本發明以第一晶片 10 藉著焊錫墊直接藕合電路到基材 90 上，並以第二晶片 20 堆疊黏接在前述之第一晶片 10 上，並以打線 50 方式將電路藕合至基材 90 上。前述之兩片晶片之間更可以包含有一片導電金屬 30(圖三)，作為散熱用，同時也可以隔絕「電磁干擾」(Electro-Magnetic Interference, EMI)，也可以隔絕訊號的「交錯干擾」(cross talk)。

前述之基材 90 是印刷電路板基材，也可以是傳統的「腳框」(lead frame)，整個製作原理完全一樣。以印刷電路板作基材時，可以使用單面電路並具有鍍通孔將電路導通至另外一面，也可以使用多層板以配合多電路輸出端數目之包裝使用。

參見圖二，為本發明之晶片與基材 90 間的電路連接，第一晶片 10 藉著焊錫直接藕合電路到基材 90 上的對映電路 11，電路 11 經鍍通孔 14 連接至基材 90 的背面，~~通孔 14 中填滿焊錫材料 15~~。第二晶片 20 以黏膠 13 堆疊黏接在前述之第一晶片 10 上，並以打線 50 方式將電路藕合至基材 90 上。

參見圖三所示，前述之兩片晶片之間更可以包含有一片導電金屬板 30，作為散熱用，同時也可以隔絕「電磁干擾」，也可以隔絕訊號的「交錯干擾」。金屬板 30 上下以導電黏膠 13 與晶片 20、晶片 10 相黏接。

參見圖四所示，前述之導電金屬板 30，可以是一片平板狀，也可以是具有腳的設計。圖四顯示導電金屬板 30 具有支撐柱 31。這種設計，可以保護晶片 10，也



3

便於晶片 20 在打線時不會影響到晶片 10。同時，當晶片 20 面積大於晶片 10 時，晶片 20 在週邊打線時，底部有導電金屬板 30 支撐。

請參見圖五 A-D 所示，為兩晶片之間的金屬板不同實施例示意圖。分別為具有四支腳 31、兩邊支撐壁 32、三邊支撐壁 33、以及四邊支撐壁 34 的設計。

## 六、申請專利範圍

1. 一種多晶片堆疊式包裝，包含：

一個基材，作為包裝底材；

第一晶片，將電路端以焊錫球直接藕合至前述之基材上；以及

第二晶片，位於前述之第一晶片上方，且將電路端以打線方式藕合至前述之基材上。

2. 如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指金屬腳架。
3. 如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指印刷電路腳架。
4. 如申請專利範圍第三項所述之一種多晶片堆疊式包裝，其中所述之印刷電路腳架，具有電路導通至前述之印刷電路基材的另外一面者。
5. 如申請專利範圍第四項所述之一種多晶片堆疊式包裝，其中所述之印刷電路基材係指單面印刷電路且具有鍍通孔以將電路延伸至另外一面者。
6. 如申請專利範圍第四項所述之一種多晶片堆疊式包裝，其中所述之印刷電路基材係指多層印刷電路。
7. 如申請專利範圍第一項所述之一種多晶片堆疊式包裝，更包含一片導熱材料介於所述之第一晶片以及所述之第二晶片之間。
8. 如申請專利範圍第七項所述之一種多晶片堆疊式包裝，其中所述之導熱材料係指金屬板。
9. 如申請專利範圍第七項所述之一種多晶片堆疊式包裝，其中所述之導熱材料係指導電樹脂。
10. 如申請專利範圍第一項所述之一種多晶片堆疊式包裝，更包含膠體，用以封裝前述之基材上的元件於前述之基材上。

(請先閱讀背面之注意事項再填寫本頁)

裝

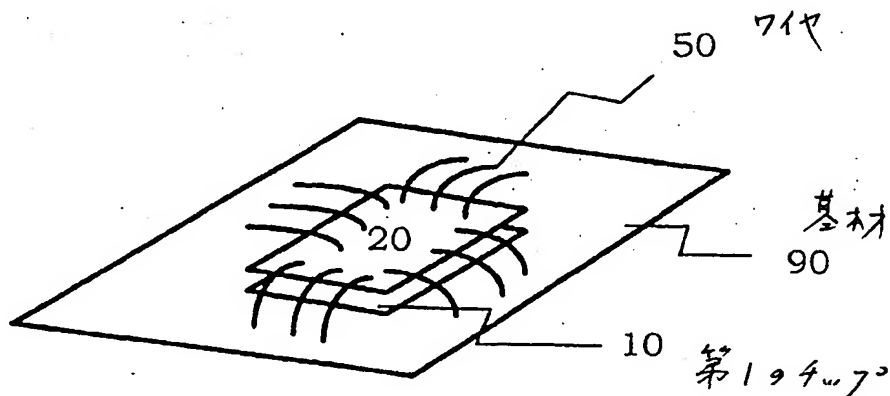
訂

線

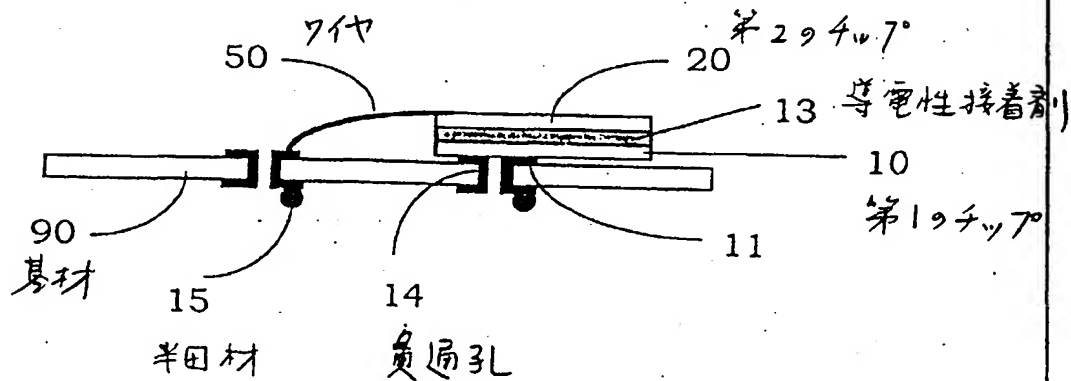
11. 如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指「球狀開排」(Ball Grid Array, BGA) 形式之包裝。
12. 如申請專利範圍第一項所述之一種多晶片堆疊式包裝，其中所述之基材係指「焊墊」(solder pad)形式之包裝。
13. 如申請專利範圍第八項所述之一種多晶片堆疊式包裝，其中所述之金屬板，更具有支撐裝置者。
14. 如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指四支支柱分別位於前述之金屬板的四角者。
15. 如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指四支支柱均勻分佈於前述之金屬板的四邊者。
16. 如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指兩個邊壁分別前述之金屬板的兩邊者。
17. 如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指三個邊壁分別前述之金屬板的三邊者。
18. 如申請專利範圍第十三項所述之一種多晶片堆疊式包裝，其中所述之支撐裝置係指四個邊壁分別前述之金屬板的四邊者。

圖式

圖一



圖二

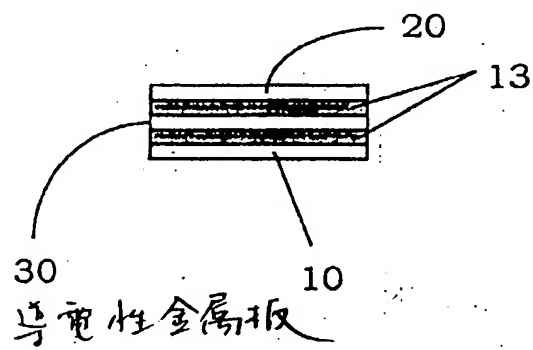


(請先閱讀背面之注意事項再行繪製)

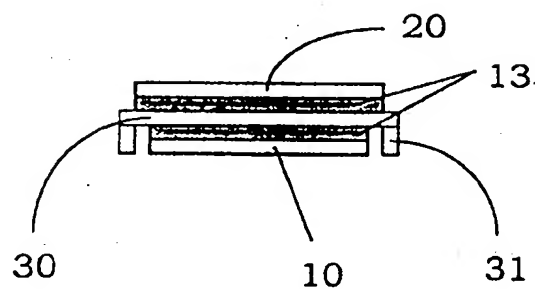
訂

終

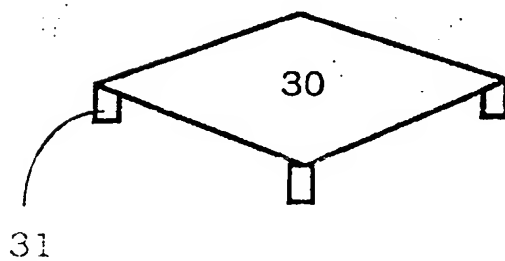
圖三



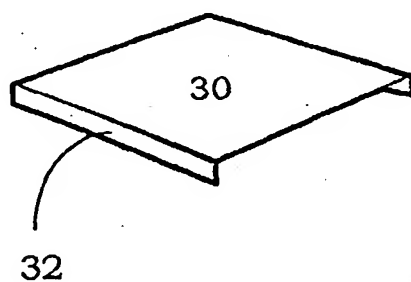
圖四



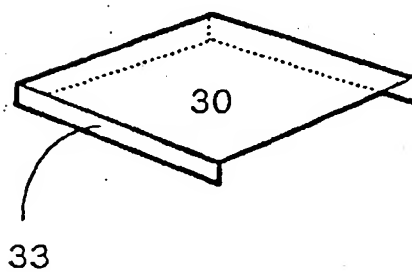
圖五 A



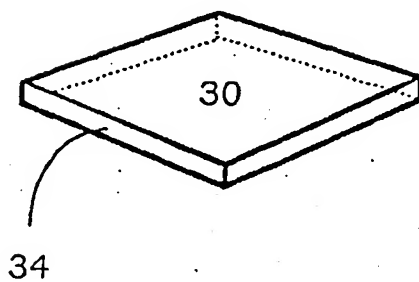
圖五 B



圖五 C



圖五 D



# 經濟部智慧財產局專利核駁審定書

受文者：日立製作所股份有限公司、日立北海半導體股份有限公司（代理人：林志剛先生）

地址：臺北市中山區南京東路二段一二五號七樓

發文日期：中華民國九十二年四月四日

發文字號：（九二）智專一（一）04077字

第〇九二二〇三三九二七〇號

一、申請案號數：〇九一一〇三九五三

二、發明名稱：半導體裝置及其製造方法

三、申請人：

名稱：日立製作所股份有限公司

地址：日本

名稱：日立北海半導體股份有限公司

地址：日本

四、專利代理人：

姓名：林志剛 先生

地址：臺北市中山區南京東路二段一二五號七樓

五、申請日期：九十一年三月四日

本 書	發 信 日
92年4月4日	92年4月8日
IPPO	受信日

專利分類IPC(7)……H01L 21/60



六、優先權項目：

1 2001/04/06 日本2001-108603

2 2002/01/22 日本2002-012775

七、審查人員姓名：王榮華 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「半導體裝置及其製造方法」係關於一種多晶片堆疊式封裝，其目的係謀求多層構造之半導體裝置的薄形化。

(二) 本案主要技術特徵係在晶片支持面3a上具有複數端子3c，於背面3d上有複數焊球1之基板3；及具有主面1b及背面1c，且於主面1b上具有複數腳位1a與複數半導體元件之第一晶片；及具有主面2b及背面2c，且於主面2b上具有複數腳位2a與複數半導體元件，同時比第一晶片厚度薄之第二晶片；及連接第二晶片腳位2a與對應之單片基板連接端子3c之連接線4。惟87.07.21.公告第337036號（如引證附件），已揭示具相同特徵之堆疊式封裝，對照引證案第二圖，清楚顯示其亦係將電路端（對應本案之連接線4）以焊錫球（對應本案之焊球1）直接藕合第一晶片至基材上；以及將第二晶片置於第



一晶片上方，且將電路端以打線方式（對應本案之連接線）接合至前述之基材上。

至於令第○晶片的厚度比第一晶片薄之技術特徵，實為熟悉半導體封裝技藝人士為解決多層構造薄形化，可於了解引證案技術特徵後，輕易推演完成。

（三）綜上所述，本案係運用申請前之技術或知識，而為熟悉該項技術者所能輕易完成者。據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

局長  
**蔡練生**

依照分層負責規定授權單位主管執行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。